|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| |  | | --- | | МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ | | ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ высшего образования | | **«Национальный исследовательский ядерный университет «МИФИ»**  **(НИЯУ МИФИ)** | | ИНСТИТУТ ИНТЕЛЛЕКТУАЛЬНЫХ КИБЕРНЕТИЧЕСКИХ СИСТЕМ | | КАФЕДРА «КОМПЬЮТЕРНЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ» (№12) | |
|  |

**МЕТОДИЧЕСКИЙ МАТЕРИАЛ**

**для выполнения курсовой работы**

**по предмету «Схемотехника цифровых устройств»**

**ФУНКЦИОНАЛЬНЫЙ ГЕНЕРАТОР СИГНАЛОВ**

**Москва 2022**

СОДЕРЖАНИЕ

[Введение 4](#_Toc62678439)

[1. Постановка задачи 5](#_Toc62678440)

[2. Назначение 6](#_Toc62678441)

[3. Физическая реализация 7](#_Toc62678442)

[3.1. Описание устройства 7](#_Toc62678443)

[3.2. Узел цифро-аналогового преобразования 8](#_Toc62678444)

[3.3. Узел фильтрации 10](#_Toc62678445)

[3.4. Узел питания 13](#_Toc62678446)

[3.5. Узел синхронизации 19](#_Toc62678447)

[4. Логика работы 20](#_Toc62678448)

[4.1. Описание протокола обмена 21](#_Toc62678449)

[4.1.1. Формат пакетов 21](#_Toc62678450)

[4.1.2. Диаграммы обмена 23](#_Toc62678451)

[4.1.3. Реализация шлюза интерфейса 24](#_Toc62678452)

[4.1.4. Мультиплексор данных 26](#_Toc62678453)

[4.2. Адресное пространство 27](#_Toc62678454)

[4.2.1. Адреса модуля управления системой 28](#_Toc62678455)

[4.2.2. Адреса модуля синтеза периодических сигналов 30](#_Toc62678456)

[4.2.3. Адреса модуля генерации сигналов произвольной формы 34](#_Toc62678457)

[4.2.4. Адреса модуля организации пересылки данных средствами квадратурной модуляции 38](#_Toc62678458)

[Заключение 43](#_Toc62678459)

[Список использованной литературы 44](#_Toc62678460)

[Приложение 1 45](#_Toc62678461)

Введение

Генераторы сигналов (функциональные генераторы) играют важную роль при проведении измерений электрических параметров и испытаний. Они служат источниками тестовых сигналов, которые подаются на такие испытуемые компоненты, как фильтры, усилители или готовые модули с целью проверить их работу и изучить их поведение и характеристики. Помимо формирования простых сигналов (импульсы, периодические сигналы), генераторы сигналов могут формировать сигналы с аналоговой и цифровой модуляцией (векторные генераторы).

Сигнал, формируемый модулем функционального генератора, подается на исследуемое устройство (ИУ) (усилитель, фильтр и т.п.). Затем выходной сигнал модуля анализируется с помощью подходящего контрольно-измерительного оборудования, например, анализатора спектра или сигналов, осциллографа, измерителя мощности и т.д. На рисунке 1 изображен пример измерительного тракта. По анализу результатов таких измерений можно определить, корректно ли устройство выполняет свои функции.

Модуль

функционального

генератора

ИУ

Входной

сигнал

Выходной

сигнал

Измерительное

оборудование

Рисунок 1 — Использование сигнала, генерируемого модулем функционального генератора

В рамках выполнения курсовой работы решается задача разработки модуля функционального генератора.

1. Назначение

Модуль функционального генератора предназначен для генерации аналоговых сигналов произвольной формы. Возможные виды сигналов:

1. гармонический сигнал;
2. кусочно-линейный сигнал;
3. сигнал произвольной формы, реализованный с помощью квадратичных сплайнов;
4. сигналы квадратурной модуляции.

Возможные режимы модуляции:

1. QPSK (Квадратурно-фазовая модуляция);
2. 8-PSK (Восьмипозиционная фазовая модуляция);
3. 16-QAM (Квадратурная амплитудная модуляция 16-позиционного сигнала).

В качестве интерфейса для обмена данными между устройством и хостом (PC/AT) используется интерфейс USB.

Генерация цифрового сигнала производится с помощью отладочной платы cyc1000 [1] с установленной на ней ПЛИС Cyclone 10LP 10CL025 [2] фирмы Intel. Далее цифровой сигнал преобразуется в аналоговый с помощью платы ЦАП, на которой установлен цифро-аналоговый преобразователь (ЦАП) AD9761 [3] фирмы Analog Devices. Полученный аналоговый сигнал можно вывести на экран осциллографа.

Характеристики устройства:

1. габаритный размер отладочной платы cyc1000 [1]: 61,5x25 мм;
2. габаритный размер платы ЦАП: 74x110 мм;
3. выходной сигнал с частотой до 10 МГц;
4. питание постоянным током: 5В.
5. Функции генератора сигналов

Плата ЦАП функционального генератора сигналов выполняет следующие функции:

1. прием цифрового сигнала от ПЛИС (расположенной на отладочной плате cyc1000);
2. выполнение цифро-аналогового преобразования;
3. кондиционирование сигналов (фильтрация для обеспечения заданной полосы пропускания10 МГц, преобразование дифференциальных сигналов в униполярные);
4. передача аналоговых сигналов на SMA разъемы;
5. осуществление синхронизации с внешними устройствами.

В рамках курсовой работы необходимо разработать логику обработки данных для функционального генератора сигналов, которая бы выполняла следующие функции:

1. «общение» с хостом, то есть прием управляющих воздействий, передача цифровых данных;
2. формирование гармонического сигнала (синусоидальный, пилообразный);
3. модуляция сигналов (для режимов QPSK, 8-PSK, 16-QAM);
4. обеспечение ЦАП частотой дискретизации;
5. хранение информации в наборе буферов;
6. передача цифровых данных на плату ЦАП для формирования аналогового сигнала.
7. Физическая реализация
   1. Описание устройства

Обобщённый внешний вид (по очертаниям и обозначениям элементов сборочного чертежа) платы ЦАП представлен на рис. 3.1.

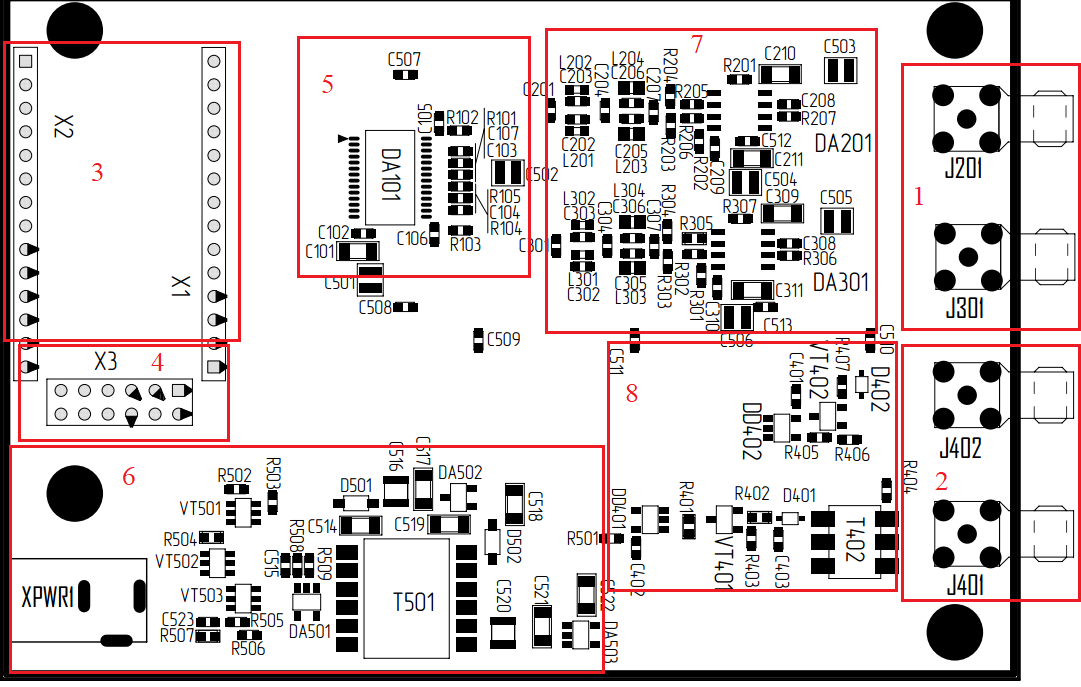


Рисунок 3.1 — Сборочный чертеж спроектированной платы.

Основные узлы устройства:

1. разъем SMA (J201, J301) для вывода полученного аналогового сигнала на экран осциллографа;
2. разъем SMA для получения (J402) и отправления (J401) синхронизирующих импульсов;
3. два штекерных гнезда 2.54мм 1х14 (X1, X2), предназначенных для получения цифрового сигнала с выхода отладочной платы cyc1000;
4. штекерное гнездо 2.54мм 2х6 (X3), предназначенное для получения цифрового сигнала с выхода отладочной платы cyc1000;
5. узел цифро-аналогового преобразования;
6. узел питания;
7. узел кондиционирования сигнала;
8. узел синхронизации.

На рисунке 3.2 представлена обобщенная блок-схема устройства.

OpAmp

SMA

ЦАП

FPGA

I/Q

Sync

Trigger

ISig

OpAmp

SMA

QSig

SMA

Sync\_in

SMA

Sync\_out

Узел кондиционирования

Узел кондиционирования

Узел синхронизации

Ideal diode

Разъем питания

Узел питания

USB

Рисунок 3.2 — Обобщенная блок-схема устройства

* 2. Узел цифро-аналогового преобразования

Узел цифро-аналогового преобразования предназначен для преобразования цифрового сигнала, поступающего с отладочной платы, в аналоговый.

Центральным элементом данного узла является цифро-аналоговый преобразователь AD9761 [3] фирмы Analog Devices.

На рисунке 3.3 изображена схема узла цифро-аналогового преобразования.

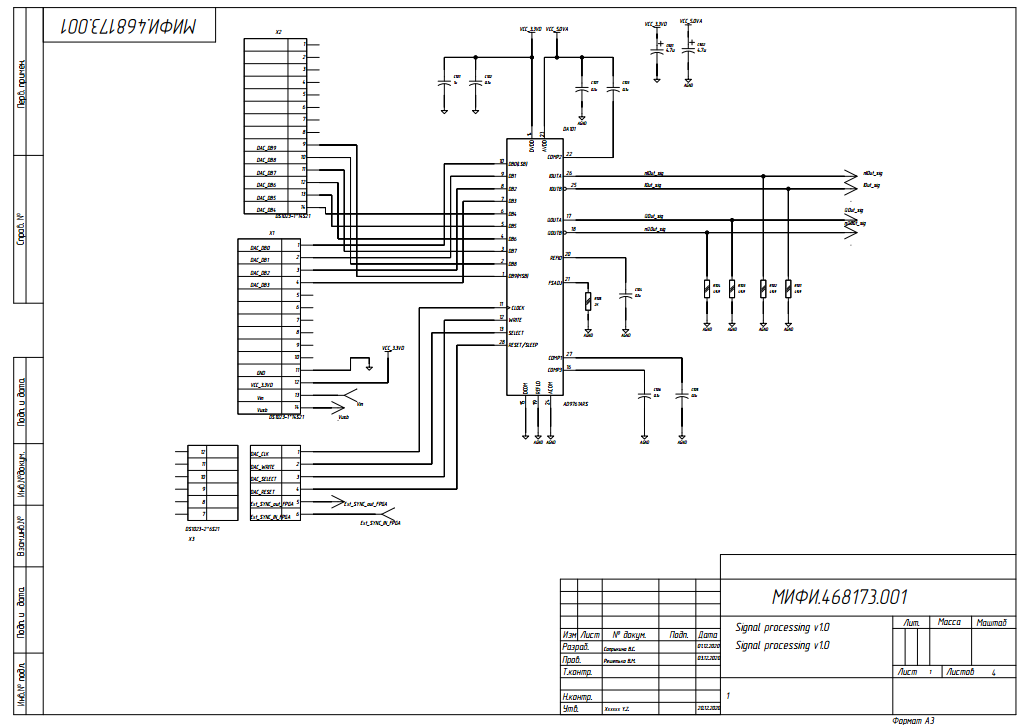


Рисунок 3.3 — Схема узла цифро-аналогового преобразования

* 1. Узел кондиционирования сигнала

Узел кондиционирования сигнала предназначен для ограничения частотной полосы, которая бы удовлетворяла исходным данным (то есть 10 МГц), и преобразования дифференциального сигнала в униполярный. Фильтрующая часть состоит из двух идентичных фильтров для I и Q составляющих сигнала. На рисунке 3.4 представлена упрощенная схема узла кондиционирования сигнала.

I

Q

Рисунок 3.4 — Упрощенная схема узла кондиционирования сигнала

На рисунке 3.5 изображена схема узла кондиционирования сигнала.

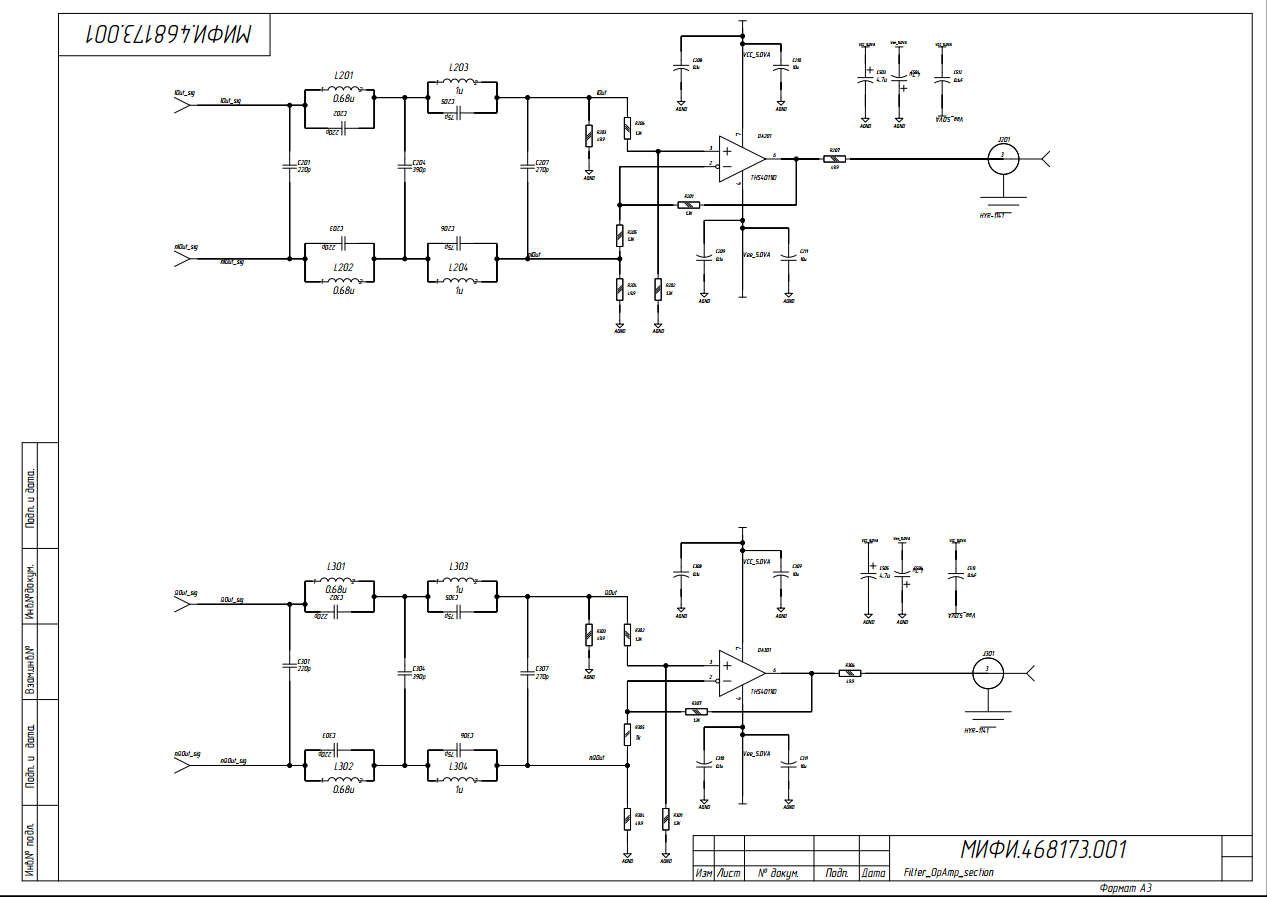


Рисунок 3.5 — Схема узла кондиционирования сигнала

* 1. Узел синхронизации

Узел синхронизации предназначен для синхронизации с внешними устройствами, например, осциллографом. На рисунке 3.6 изображена схема узла синхронизации. Синхронизация со стороны внешнего устройства выполняется на основе трансформаторной согласующей схемы, после которой сигнал с помощью инвертора CMOS кондиционируется к параметрам логических уровней (“0” и “1”) CMOS 3,3В. Также реализована возможность отправки синхросигналов с разрабатываемого устройства через усилитель тока на транзисторе во включении с общим эмиттером.

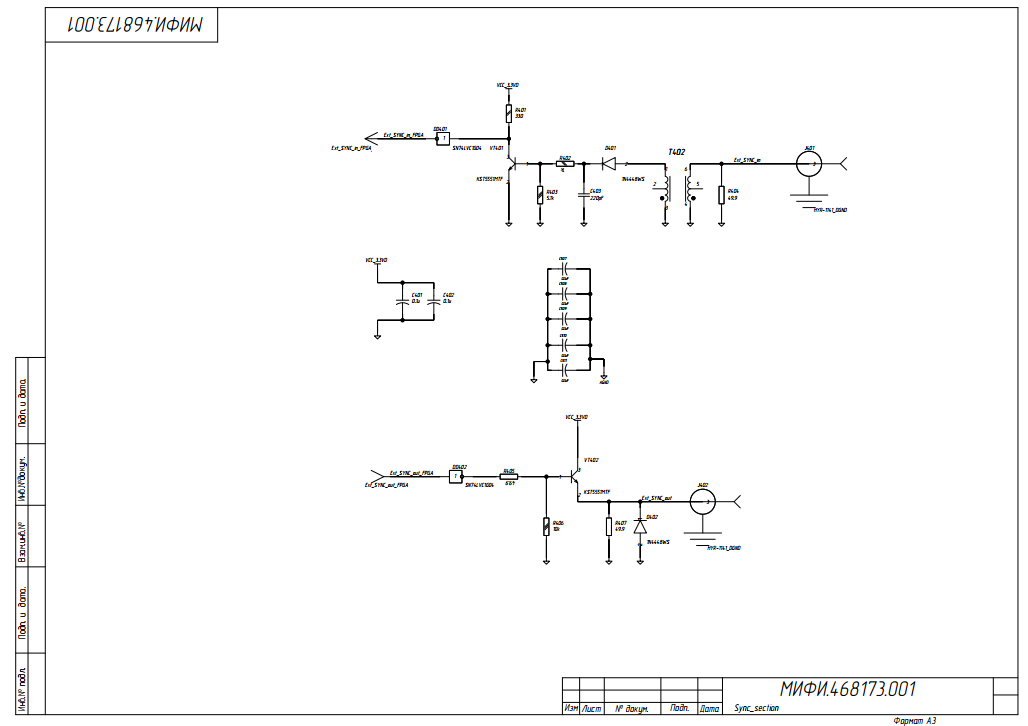


Рисунок 3.6 — Схема узла синхронизации

1. Логика работы

Логическое наполнение проекта состоит из модулей, разбитых в соответствии с выполняемыми ими функциями, для удобства написания и отладки проекта. Модуль протокольного обмена служит для получения данных от хоста и для их передачи на хост. Анализатор протокола выполняет несколько функций: содержит основные конфигурационные параметры, необходимые для корректной работы устройства, выполняет квадратурную модуляцию (QPSK, 8-PSK, 16-QAM), формирует данные, необходимые для работы модуля синтеза периодических сигналов. Модуль синтеза периодических сигналов представляет собой схему прямого цифрового синтеза и служит для генерирования меандра, пилообразного и синусоидального сигналов. Модуль управления ЦАП служит для формирования данных, необходимых для работы ЦАП (тактовой частоты, сигнала выбора канала (синфазный или квадратурный сигнал), сигнала разрешения записи и цифрового сигнала, который необходимо преобразовать в аналоговый). Полученный цифровой сигнал отправляется с отладочной платы на разработанную, где далее преобразуется в аналоговый сигнал. На рисунке 4.1 изображена упрощенная блок-схема логического наполнения проекта.

USB

Модуль управления ЦАП

Модуль синтеза периодических сигналов

Анализатор протокола

Модуль протокольного обмена

WB

Рисунок 4.1 — Упрощенная блок-схема логического наполнения проекта

* 1. Описание протокола обмена
     1. Формат пакетов

Интерфейс USB используется для любых настроек рабочих параметров устройства, текущего управления и вывода данных.

Тип обмена — пакетный, обмен осуществляется 16-битными словами. Обобщенный формат пакета представлен в таблице 4.1.

Таблица 4.1 — Обобщенный формат пакета

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 15 |  |  |  |  |  | 0 |  |
| Header\_W0 | | | | | | | 0H |
| Header\_W1 | | | | | | | 1H |
| Header\_W2 | | | | | | | 2H |
| Data\_W0 | | | | | | | 0D |
| … | | | | | | | … |
| … | | | | | | | … |
| Data\_WN-1 | | | | | | | ND-1 |

Пакет включает в себя две субъединицы — заголовок (Header) и данные (Data). Длина заголовка — 3 слова. Длина набора данных зависит от величины, указанной в заголовке пакета.

Заголовок пакета используется для описания задачи по обмену информации или управления. Размещение полей заголовка представлено в таблице 4.2.

Таблица 4.2 — Размещение полей заголовка

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 15 |  |  |  |  |  |  |  |  | 6 | 5 | 4 | 3 | 2 |  | 0 |
| BCount(9:0) | | | | | | | | | | R | | FB | Cmd(2:0) | | |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 31 |  |  |  | 27 | 26 |  | 24 | 23 |  |  |  |  |  |  | 16 |
| R | | | | | AddrValid | | | TID(7:0) | | | | | | | |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 47 |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 32 |
| Addr(15:0) | | | | | | | | | | | | | | | |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

Описание полей заголовка:

**Cmd(2:0)** — **C**o**m**man**d**, команда. От вида команды зависят дальнейшие операции с данными и последующие действия устройства в целом. Типы команд описаны в таблице 4.3.

Таблица 4.3 — Возможные типы команд

| Команда | Описание |
| --- | --- |
| “000” | reserved |
| “001” | Чтение конфигурационных данных |
| “010” | Запись конфигурационных данных |
| “011” | Чтение данных из порта ввода/вывода (FIFO) |
| “100” | Запись данных в порт ввода/вывода (FIFO) |
| “101” | Чтение данных из памяти |
| “110” | Запись данных в память |
| “111” | reserved |

**FB** — **F**eed**B**ack. Наличие «1» в этом поле означает, что заголовок должен быть немедленно отправлен на хост, для подтверждения приема и корректного анализа.

**R** — **R**eserved. Зарезервировано для возможного будущего использования.

**TID(7:0)** — **T**ransaction **ID**entifier. Идентификатор транзакции — номер транзакции циклически (после 255 следует 0) инкрементируется для каждой транзакции, инициированной хостом. Отклики на транзакции (для запросов на чтение, к примеру), инициированные хостом, должны иметь тот же идентификатор, что и исходный запрос хоста.

**AddrValid(2:0)** — **Addr**ess **Valid**. Поле, показывающее корректность выбора адреса. В случае возникновения ошибки в поле **Addr(15:0)** указывается размер области.

| Принимаемое значение | Описание |
| --- | --- |
| “000” | Адрес корректен |
| “001” | Ошибка в выборе нулевого базового адреса |
| “010” | Ошибка в выборе первого базового адреса |
| “011” | Ошибка в выборе второго базового адреса |
| “100” | Ошибка в выборе третьего базового адреса |
| “101” | Ошибка в выборе четвертого базового адреса |
| “110” | Reserved |
| “111” | Неизвестная ошибка в выборе адреса |

**BCount(9:0)** — **B**yte **Count**. Количество байт данных, которое будет передано в наборе данных или должно быть отправлено хосту при выполнении команды чтения. Количество данных *N*:

**Addr(15:0)** — **Addr**ess. Адрес назначения (источника) данных. Адресация осуществляется 16-битными словами.

* + 1. Диаграммы обмена

На рисунке 4.2 изображена диаграмма обмена для базового запроса на чтение.

Cmd = Read…, FB = “0”

Header

Header’

Data

от хоста

к хосту

устройство

Рисунок 4.2 — Диаграмма обмена для базового запроса на чтение

На рисунке 4.3 изображена диаграмма обмена для базового запроса на запись.

Cmd = Write…, FB = “0”,

Header

Data

от хоста

устройство

Рисунок 4.3 — Диаграмма обмена для базового запроса на запись

На рисунке 4.4 изображена диаграмма обмена для запроса на запись с подтверждением.

Cmd = Write…, FB = “1”

Header

Header’

Data

от хоста

к хосту

устройство

Рисунок 4.4 — Диаграмма обмена для запроса на запись с подтверждением

На рисунке 4.5 изображена диаграмма обмена для запроса на чтение с подтверждением:

Cmd = Read…, FB = “1”

Header

Header’’

Data

от хоста

к хосту

устройство

Header’

к хосту

Рисунок 4.5 — Диаграмма обмена для запроса на чтение с подтверждением

* + 1. Модуль протокольного обмена

Условное графическое представление модуля протокольного обмена с упрощенным описанием внутреннего устройства представлено на рисунке 4.6.

WB\_Addr (15:0)

WB\_DataOut (15:0)

WB\_DataIn (15:0)

WB\_STB

WB\_Cyc

WB\_Ack

WB\_CTI (2:0)

WB\_WE

WB\_Sel[1:0]

FT2232H\_FSDO

FT2232H\_FSCTS

FT2232H\_FSDI

FT2322H\_FSCLK

Clk

nRst

Serdes

FIFO

FIFO

WB

Рисунок 4.6 — Условное графическое представление модуля протокольного обмена

Описание сигналов представлено в таблице 4.4.

Таблица 4.4 — Описание сигналов

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал для BackEnd стороны шлюза. Активность — ↑ |
| 2 | nRst | in | Общий сигнал сброса. Активный уровень – ‘0’. |
| Сигналы **FT2232H** (FrontEnd – на стороне источника управления) | | | |
| 3 | FT2232H\_FSDO | in | Шина входных данных, обеспечивает обмен данными между шлюзом и FT2232H |
| 4 | FT2232H\_FSCTS | in | **F**ast **s**erial **C**lear **T**o **S**end. Сигнал готовности FT2232H к приему данных. При значении «0» данные могут передаваться от шлюза к FT2232H. |
| 5 | FT2232H\_FSDI | out | Шина выходных данных, обеспечивает обмен данными между шлюзом и FT2232H |
| 6 | FT2322H\_FSCLK | out | Входной тактовый сигнал для микросхемы FT2232H. |
| Сигналы **интерфейса WISHBONE** (BackEnd – на стороне управляемых модулей) | | | |
| 7 | WB\_Addr (15:0) | out | Адрес смещения для целевого адресного пространства. Вычисляется как разность между адресом в заголовке и базовым адресом соответствующей адресной секции. |
| 8 | WB\_DataOut(15:0) | out | Поток данных, 16-битные слова. |
| 9 | WB\_DataIn (15:0) | in | Поток данных на хост, 16-битные слова. |
| 10 | WB\_WE | out | **W**rite **E**nable. Сигнал разрешения записи: высокий уровень — цикл записи в управляемые модули, низкий — цикл чтения из управляемых модулей. |
| 11 | WB\_Sel[1:0] | out | **Sel**ect. Сигналы разрешения приема/пересылки байта |
| 12 | WB\_STB | out | **St**ro**b**e. Строб-импульс, высокий уровень показывает корректность данных. |
| 13 | WB\_Cyc | out | **Cyc**le. Высокий уровень сигнала показывает выполнение корректного цикла обмена информацией. В данной реализации служит также сигналом выбора ведомого устройства. |
| 14 | WB\_Ack | out | **Ack**nowledge. Сигнал подтверждения штатного завершения пересылки элемента пакета. |
| 15 | WB\_CTI (2:0) | out | **C**ycle **T**ype **I**dentifier. В зависимости от значения сигнала возможны следующие режимы работы:   * “000” – обычный цикл; * “001” – пакетный цикл с фиксированным адресом; * “010” – пакетный цикл с инкрементируемым адресом; * “011-110” – зарезервировано; * “111” – последний пакет. |

Работа сигналов интерфейса FT2232H для режима «Fast Serial Interface» описана в документации [5].

Работа сигналов интерфейса WISHBONE описана в документации [6].

Принцип функционирования модуля протокольного обмена представлен на рисунке 4.6. Сначала данные от хоста поступают на микросхему FT2232H и по последовательному интерфейсу «Fast Serial Interface» передаются на ПЛИС Cyclone 10LP [2]. После этого полученные данные десериализуются и записываются в эластичный буфер FIFO. Далее команды преобразуются в управляющие последовательности сигналов WISHBONE, а данные с помощью интерфейса WISHBONE передаются для обработки на ведомый модуль. Аналогичным образом возможна передача данных от устройства к хосту с использованием операции сериализации.

* + 1. Анализатор протокола

Анализатор протокола предназначен для конфигурирования системы (например, задания режима работы), выполнения квадратурной модуляции сигнала для режимов QPSK, 8-PSK, 16-QAM, формирование необходимых значений амплитуды, начальной фазы и частотного слова гармонического сигнала.

Условное графическое представление анализатора протокола представлено на рисунке 4.7.

Clk

nRst

Сигналы интерфейса

WISHBONE

…

DDS\_amplitude (15:0)

DDS\_frequency (31:0)

DDS\_start\_phase (15:0)

DDS\_mode (1:0)

DDS\_en

Рисунок 4.7 — Условное графическое представление анализатора протокола

Описание сигналов представлено в таблице 4.5.

Таблица 4.5 — Описание сигналов

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал |
| 2 | nRst | in | Сигнал сброса |
| Сигналы **интерфейса WISHBONE описаны в разделе 4.1.3.** | | | |
| Сигналы **схемы прямого цифрового синтеза** | | | |
| 3 | DDS\_en | out | Сигнал разрешения работы для модуля синтеза периодических сигналов |
| 4 | DDS\_mode (1:0) | out | Сигнал задания типа генерируемого сигнала:   * 00 — синусоидальный сигнал; * 01 — пилообразный сигнал; * 10 — меандр; * 11 — модулированный сигнал. |
| 5 | DDS\_amplitude (15:0) | out | Амплитуда периодического сигнала |
| 6 | DDS\_frequency (31:0) | out | Частотное слово |
| 7 | DDS\_start\_phase (15:0) | out | Начальная фаза |

* + 1. Модуль синтеза периодических сигналов

Модуль синтеза периодических сигналов предназначен для формирования гармонических сигналов:

1. синусоидальных сигналов;
2. пилообразных сигналов;
3. меандра.

Условное графическое представление модуля синтеза периодических сигналов представлено на рисунке 4.8.

Clk

nRst

DDS\_amplitude (15:0)

DDS\_frequency (31:0)

DDS\_start\_phase (15:0)

DDS\_mode (1:0)

DDS\_en

DAC\_I\_sig (9:0)

DAC\_Q\_sig (9:0)

Рисунок 4.8 — Условное графическое представление модуля синтеза периодических сигналов

Описание сигналов представлено в таблице 4.6.

Таблица 4.6 — Описание сигналов

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал |
| 2 | nRst | in | Сигнал сброса |
| Сигналы **схемы прямого цифрового синтеза описаны в разделе 4.1.4** | | | |
| Сигналы **модуля управления ЦАП** | | | |
| 3 | DAC\_I\_sig (9:0) | out | Синфазная составляющая модулированного гармонического сигнала. Этот сигнал также может использоваться для передачи немодулированного гармонического сигнала (синусоидального, пилообразного или меандра) |
| 4 | DAC\_Q\_sig (9:0) | out | Квадратурная составляющая модулированного гармонического сигнала (разница фаз гармонической и квадратурной составляющих равна 90°). Данный сигнал при передаче немодулированного гармонического сигнала заполняется нулями. |

* + 1. Модуль управления ЦАП

Модуль управления цифро-аналоговым преобразователем предназначен для обеспечения протокола обмена с ЦАП, то есть:

1. формирования тактовой частоты, равной 40 МГц;
2. формирования сигнала записи;
3. формирования сигнала выбора канала для режима мультиплексирования данных;
4. подачи информационного цифрового сигнала.

Условное графическое представление модуля управления цифро-аналоговым преобразователем представлено на рисунке 4.9.

Clk

nRst

DAC\_I\_sig (9:0)

DAC\_Q\_sig (9:0)

DAC\_Data (9:0)

DAC\_Clk

DAC\_Write

DAC\_Select

DAC\_Rst

Рисунок 4.9 — Условное графическое представление модуля управления ЦАП

Описание сигналов представлено в таблице 4.7.

Таблица 4.7 — Описание сигналов

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал |
| 2 | nRst | in | Сигнал сброса |
| Сигналы **модуля управления ЦАП описаны в разделе 4.1.5** | | | |
| Сигналы интерфейса **ЦАП** | | | |
| 3 | DAC\_Clk | out | Тактовый сигнал ЦАП |
| 4 | DAC\_Rst | out | Сигнал сброса ЦАП |
| 5 | DAC\_Write | out | Сигнал записи данных с входной шины |
| 6 | DAC\_Select | out | Сигнал выбора канала при режиме мультиплексирования |
| 7 | DAC\_Data (9:0) | out | Входная шина данных для ЦАП |

Работа сигналов интерфейса ЦАП AD9761 описана в документации [3].

* 1. Адресное пространство

В таблице 4.8 представлена общая карта памяти устройства.

Таблица 4.8 — Общая карта памяти устройства

|  |  |  |  |
| --- | --- | --- | --- |
| Адрес | Размер области, байт | Назначение | Описание |
| 0x0000-0x00FF | 256 | System control | Общее управление системой |
| 0x0100-0x01FF | 256 | DDS | Синтез периодических сигналов |
| 0x0200-0x02FF | 256 | QM (quadratic modulation) | Модуль организации пересылки данных средствами QPSK, 16-QAM, 8-PSK |
| 0x0300-0x03FF | 256 | DAC control | Модуль управления ЦАП |
| 0x0300-0x0FFF | 15K | reserved |  |
| 0x1000-0x17FF | 2K | DQM (data for quadratic modulation) | Данные, которые будут отправляться с помощью модуляции |
| 0x1800-0xFFFF | 46K | reserved |  |

* + 1. Адреса модуля управления системой

Модуль управления системой предназначен для хранения основных конфигурационных параметров, необходимых для корректной работы устройства, и входит в состав анализатора протокола.

Назначение элементов карты адресов (базовый адрес 0x0000) модуля управления системой представлено в таблице 4.9.

Таблица 4.9 — Описание регистров модуля управления системой

|  |  |  |  |
| --- | --- | --- | --- |
| Смещение | Размер, байт | Назначение | Описание |
| 0x0000 | 2 | System Control | Регистр общего управления системой |
| 0x0002 | 254 | Reserved | Зарезервировано для возможного будущего использования |

В таблице 4.10 приведено описание регистра общего управления системой с побитным указанием информации, хранящейся в нем.

Таблица 4.10 — Описание регистра общего управления системой

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 15 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| Reserved | | Reserved | Sync | nRstDDS | Signal mode | | Modulation mode | | Mode |
| RW, 0x00 | | R, ‘0’ | RW, ‘0’ | RW, ‘0’ | RW, “00” | | RW, “11” | | RW, ‘0’ |

Mode — режим работы: 0 – обычный режим; 1 – режим PSK.

Modulation mode — «00» – QPSK; «01» – 8-PSK; «10» – 16-QAM; «11» – модуляция не используется.

Signal mode — «00» – гармонический сигнал; «01» – пилообразный сигнал; «10» – меандр; «11» – зарезервировано.

nRstDDS — сигнал сброса схемы прямого цифрового синтеза.

Sync — сигнал синхронизации, ‘1’ — разрешение использования внешней синхронизации для модуля организации пересылки данных средствами квадратурной модуляции.

* + 1. Адреса модуля синтеза периодических сигналов

Модуль синтеза периодических сигналов представляет собой схему прямого цифрового синтеза и предназначен для генерирования меандра, пилообразного и синусоидального сигналов.

Назначение элементов карты адресов (базовый адрес 0x0100) модуля синтеза периодических сигналов представлено в таблице 4.11.

Таблица 4.11 — Описание регистров модуля синтеза периодических сигналов

|  |  |  |  |
| --- | --- | --- | --- |
| Смещение | Размер, байт | Назначение | Описание |
| 0x0000 | 2 | Control | Управляющий регистр синтеза периодических сигналов |
| 0x0002 | 2 | Amplitude | Амплитуда сигнала, шестнадцатиразрядное без знаковое число с фиксированной точкой меньше 1. |
| 0x0004 | 2 | Start Phase | Начальная фаза, шестнадцатиразрядное без знаковое число с фиксированной точкой. |
| 0x0006 | 4 | Frequency | Частотное слово, тридцатидвухразрядное число с фиксированной точкой. |
| 0x000A | 246 | Reserved | Зарезервировано для возможного будущего использования |

Например, начальная фаза сигнала может быть вычислена следующим образом:

Пусть начальная фаза составляет 45⁰. Тогда начальной фазе 45⁰ соответствует 1/8 единичной окружности (). В десятичной системе счисления: . Переведем данное число в шестнадцатеричную систему: . Таким образом, получаем, что начальная фаза равна 0x2000.

В таблице 4.12 приведено описание управляющего регистра синтеза периодических сигналов с побитным указанием информации, хранящейся в нем.

Таблица 4.12 — Описание управляющего регистра синтеза периодических сигналов

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 15 | 4 | 3 | 2 | 1 | 0 |
| Reserved | | AmpErr | Reserved | SignalMode | |
| R, “000000000000” | | R, ‘0’ | RW, ‘0’ | RW, “00” | |

SignalMode — Режим работы. При “00” — синусоидальный сигнал; при “01” — пилообразный сигнал; при “10” — меандр, “11” — зарезервировано для возможного будущего использования.

AmplErr — Ошибка в выборе значения амплитуды гармонического сигнала, выставляется в единицу при попытке записи в регистр амплитуды нулевого значения.

В таблице 4.13 приведено описание регистра амплитуды сигнала с побитным указанием информации, хранящейся в нем.

Таблица 4.13 — Описание регистра амплитуды сигнала

|  |  |
| --- | --- |
| 15 | 0 |
| Amplitude | |
| RW, 0x0000 | |

В таблице 4.14 приведено описание регистра начальной фазы с побитным указанием информации, хранящейся в нем.

Таблица 4.14 — Описание регистра начальной фазы

|  |  |
| --- | --- |
| 15 | 0 |
| Start Phase | |
| RW, 0x0000 | |

В таблице 4.15 приведено описание регистра частоты сигнала с побитным указанием информации, хранящейся в нем.

Таблица 4.15 — Описание регистра частоты сигнала

|  |  |
| --- | --- |
| 15 | 0 |
| Frequency | |
| RW, 0x00000000 | |
| 31 | 16 |
| Frequency | |
| RW, 0x00000000 | |

На вход схеме прямого цифрового синтеза должны поступить значения амплитуды, фазы и частоты для того, чтобы схема начала работать. На выход данного устройства поступают сигналы I и Q составляющих, которые по сути являются гармоническими сигналами, отстающими по фазе на 90⁰ друг от друга.

ACC

ROM

Частота

Начальная фаза

Амплитуда

Синусоидальный  
сигнал

Пилообразный сигнал

Знак

Меандр

Рисунок 4.10— Схема синтеза синусоидального сигнала

ACC (аккумулятор) каждый раз прибавляет к данному значению частотного слова предыдущее значение. ROM (Read Only Memory) — память, в которой хранится четверть периода синуса. Область памяти, в которой хранится четверть периода синуса является недоступной извне.

Формула получающейся частоты:

где — выходная частота DDS; — размер шага инкремента счетчика; — тактовая частота, 60 МГц; N — разрядность аккумулятора, 32 бита.

* + 1. Адреса модуля организации пересылки данных средствами квадратурной модуляции

Модуль организации пересылки данных средствами квадратурной модуляции необходим для выполнения квадратурной модуляции (QPSK, 8-PSK, 16-QAM) сигнала.

На рисунке 4.11 изображена схема формирования фрейма. Все части данной схемы необходимы для корректной передачи данных.

Модулятор

Кодирование

DDS

Подготовка кодовых слов

Рисунок 4.11 — Структура формирования фрейма

В данной работе применяется кодирование 8b/10b. Возможные режимы модуляции: QPSK, 8-PSK, 16-QAM.

В таблице 4.16 представлена структура памяти ROM, в которой хранится кодировка для трех режимов модуляции с представлением амплитуды и фазы в виде числа с фиксированной точкой. Данная память адресуется только внутри, доступ извне невозможен.

Таблица 4.16 — Структура памяти, хранящая кодировку для всех режимов модуляции

| Режим модуляции | Начальная фаза | Амплитуда |
| --- | --- | --- |
| QPSK (“00”)  000000-000011 | A000  6000  E000  2000 | FFFF  FFFF  FFFF  FFFF |
|  | 00000000 | |
| 8-PSK (“01”)  010000 - 010111 | A000  8000  4000  6000  C000  E000  2000  0000 | FFFF  FFFF  FFFF  FFFF  FFFF  FFFF  FFFF  FFFF |
|  | 00000000 | |
| 16-QAM (“10”)  100000 - 101111 | A000  A666  E000  D333  9333  A000  E666  E000  6000  5333  2000  2666  6666  6000  1333  2000 | FFFF  DFFF  FFFF  DFFF  DFFF  7FFF  DFFF  7FFF  FFFF  DFFF  FFFF  DFFF  DFFF  7FFF  DFFF  7FFF |

После модуляции полученные значения амплитуды и начальной фазы необходимо нанести на несущую, которая генерируется с помощью отдельного DDS с возможностью установления частоты несущей, а также частоты следования символов. Более подробное описание схемы прямого цифрового синтеза представлено в разделе 4.2.2.

Назначение элементов карты адресов (базовый адрес 0x0300) модуля организации пересылки данных средствами квадратурной модуляции представлено в таблице 4.17.

Таблица 4.17 — Описание регистров модуля организации пересылки данных средствами квадратурной модуляции

|  |  |  |  |
| --- | --- | --- | --- |
| Смещение | Размер, байт | Назначение | Описание |
| 0x0000 | 2 | Amplitude | Амплитуда сигнала |
| 0x0002 | 2 | Start Phase | Начальная фаза |
| 0x0004 | 4 | Carrier Frequency | Частота несущей |
| 0x0008 | 4 | Symbol Frequency | Частота следования символов |
| 0x000C | 2 | DataPort | Порт записи данных |
| 0x000E | 242 | Reserved | Зарезервировано для возможного будущего использования |

В таблице 4.18 приведено описание регистра амплитуды сигнала с побитным указанием информации, хранящейся в нем.

Таблица 4.18 — Описание регистра амплитуды сигнала

|  |  |
| --- | --- |
| 15 | 0 |
| Amplitude | |
| RW, 0x0000 | |

В таблице 4.19 приведено описание регистра начальной фазы с побитным указанием информации, хранящейся в нем.

Таблица 4.19 — Описание регистра начальной фазы

|  |  |
| --- | --- |
| 15 | 0 |
| Start Phase | |
| RW, 0x0000 | |

В таблице 4.20 приведено описание регистра частоты несущей сигнала с побитным указанием информации, хранящейся в нем.

Таблица 4.20 — Описание регистра частоты несущей сигнала

|  |  |
| --- | --- |
| 15 | 0 |
| Carrier Frequency | |
| RW, 0x00000000 | |
| 31 | 16 |
| Carrier Frequency | |
| RW, 0x00000000 | |

В таблице 4.21 приведено описание регистра частоты следования символов с побитным указанием информации, хранящейся в нем.

Таблица 4.21 — Описание регистра частоты следования символов

|  |  |
| --- | --- |
| 15 | 0 |
| Symbol Frequency | |
| RW, 0x00000000 | |
| 31 | 16 |
| Symbol Frequency | |
| RW, 0x00000000 | |

В таблице 4.22 приведено описание регистра порта записи данных с побитным указанием информации, хранящейся в нем.

Таблица 4.22 — Описание регистра порта записи данных

|  |  |  |  |
| --- | --- | --- | --- |
| 15 | 8 | 7 | 0 |
| Byte1 | | Byte0 | |
| RW, 0x0000 | | | |

Byte0 и Byte1 — младший и старший байты данных соответственно. Данные для пересылки по каналу модуляции. Пересылка осуществляется младшими байтами вперед. При записи данных в этот порт они отправляются в FIFO буфера пересылки. Одновременно они дублируются в кольцевом буфере с базовым адресом 0x1800 и размером 2 Кбайта, откуда могут быть прочитаны для контроля содержимого предыдущей транзакции пересылки.

Назначение элементов карты адресов (базовый адрес 0x1800) кольцевого буфера представлено в таблице 4.23.

Таблица 4.23 — Описание кольцевого буфера

|  |  |  |  |
| --- | --- | --- | --- |
| Смещение | Размер, байт | Назначение | Описание |
| 0x0000 | 2K | Data buffer | Записанные данные |

* + 1. Адреса модуля управления ЦАП

Назначение элементов карты адресов (базовый адрес 0x0300) модуля управления ЦАП представлено в таблице 4.24.

Таблица 4.24 — Описание регистров модуля управления ЦАП

|  |  |  |  |
| --- | --- | --- | --- |
| Смещение | Размер, байт | Назначение | Описание |
| 0x0000 | 2 | Control | Управляющий регистр модуля управления ЦАП |
| 0x0002 | 254 | Reserved | Зарезервировано для возможного будущего использования |

В таблице 4.25 приведено описание управляющего регистра управления ЦАП с побитным указанием информации, хранящейся в нем.

Таблица 4.25 — Описание управляющего регистра управления ЦАП

|  |  |  |  |
| --- | --- | --- | --- |
| 15 | 2 | 1 | 0 |
| Reserved | | Power\_Down | Rst |
| R, “00000000000000” | | RW, “0” | RW, “0” |

Rst — Сброс ЦАП, активный уровень высокий.

Power\_Down — Сигнал выключения ЦАП, активный уровень высокий. Если выход DAC\_Rst выставлен в ‘1’ в течение 4 тактов (или больше) тактового сигнала микросхемы ЦАП (DAC\_Clk), то микросхема ЦАП выключается.

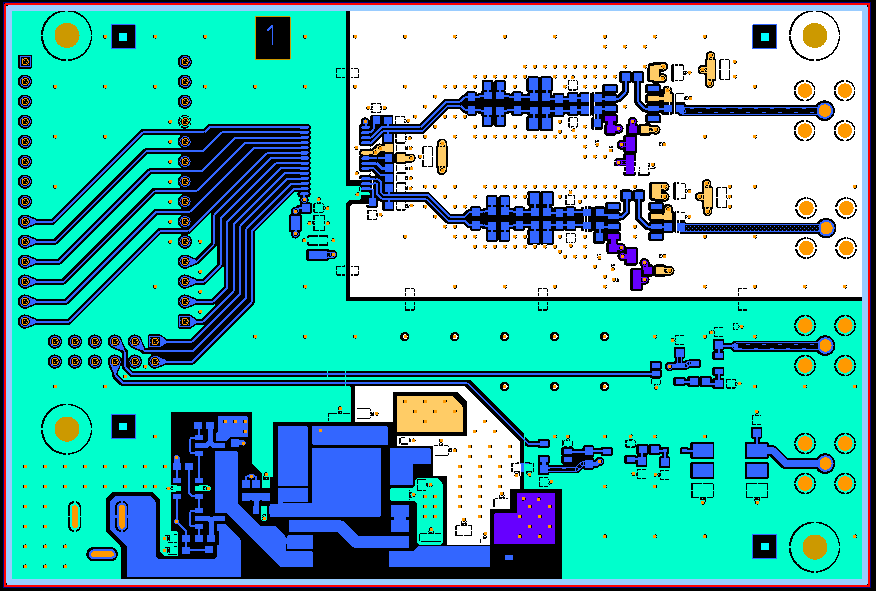
Список использованной литературы

1. TEI0003 TRM Revision: v.18, 04/16/2019, Copyright © 2019 Trenz Electronic GmbH, <http://www.trenz-electronic.de>;
2. Intel® Cyclone® 10 LP Core Fabric and General Purpose I/Os Handbook, C10LP51003, 2020.05.21. [www.intel.com](http://www.intel.com);
3. AD9761: Dual 10-Bit TxDAC+® with Interpolation Filters D/A Converter Data Sheet (Rev. C), <https://www.analog.com>;
4. LT1935 1.2MHz Boost DC/DC Converter in ThinSOT with 2A Switch Data Sheet, <https://www.analog.com/en/index.html>;
5. FT2232H Dual High Speed USB to Multipurpose UART/FIFO IC Datasheet Version 2.6, <https://ftdichip.com/>;
6. «Искусство схемотехники» П. Хоровиц, У. Хилл, Пер. с англ. - Изд. 2-е. - М.: Издательство БИНОМ . - 2014. - 704 с., ил., ISBN 978-5-9518-0351-1;
7. «Основы языка VHDL» П. Н. Бибило, Изд. 3-е, доп. М.: Изд. ЛКИ, 2007. – 328 с., ISBN 978-5-382-00334-4;
8. «Цифровая обработка сигналов» А. Оппенгейм, Р. Шафер, Пер. с англ./Под ред.С. Я. Шаца – М.: Связь, 1979. – 416 с., ил.

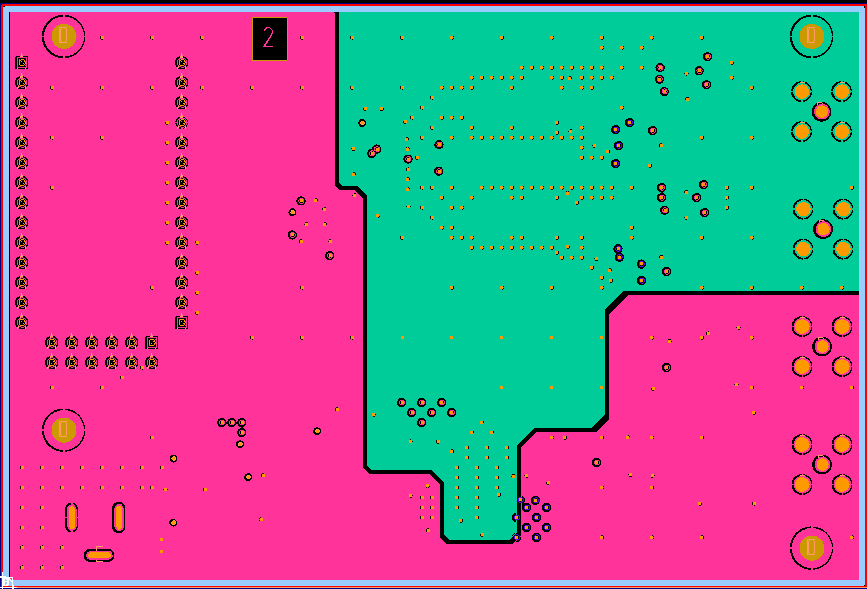
Приложение 1

Изображение слоев разработанной печатной платы

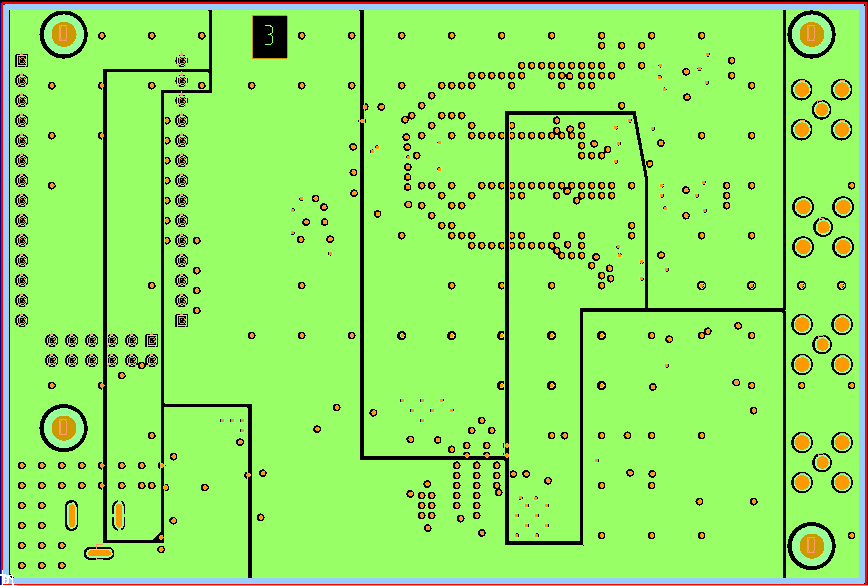
Слой 1 (внешний, сигнальный слой):



Слой 2 (внутренний слой земли):



Слой 3 (внутренний слой питания):



Слой 4 (внешний, сигнальный слой):

